

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05216745 A

(43) Date of publication of application: 27.08.93

(51) Int. Cl. G06F 12/02

(21) Application number: 04018702

(22) Date of filing: 04.02.92

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: YOSHIBA HARUMINE

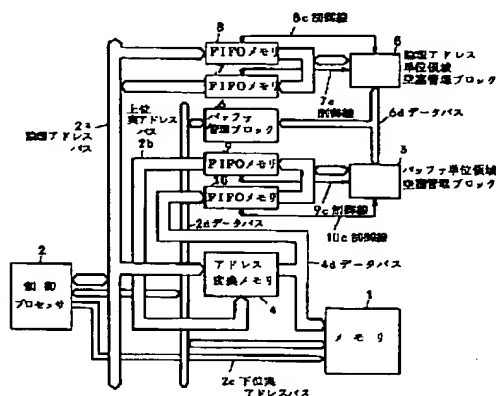
(54) MEMORY MANAGING DEVICE

(57) Abstract:

PURPOSE: To manage the condition of using the address space of a memory so as to constitute a buffer having an arbitrary length by discontinuously using the required number of memories divided into fixed length unit areas corresponding to the control operation of a control processor.

CONSTITUTION: When the required number of buffer unit areas is designated to a buffer managing block 6 in the case of writing control information from a control processor 2 to the buffer area of a memory 1 and executing the control operation, the buffer managing block 6 controls a logical address unit area empty/occupied managing block 5, the leading address of an unused logical address unit area is extracted from a FIFO memory 7 and transmitted to an address translation memory 4 as address information, the buffer managing block 6 controls a buffer unit area empty/occupied managing block 3, and the leading address for the required number of unused buffer unit areas is extracted from a FIFO memory 9 and transmitted to the address translation memory 4 as memory data.

COPYRIGHT: (C)1993,JPO&Japio



(19) 日本国特許庁 ( J P )

(12) 公開特許公報 ( A )

(11) 特許出願公開番号

特開平 5 - 2 1 6 7 4 5

(43) 公開日 平成 5 年 ( 1 9 9 3 ) 8 月 2 7 日

(51) Int. Cl. <sup>5</sup>  
G06F 12/02

識別記号  
540

庁内整理番号  
8841-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 8 頁)

(21) 出願番号 特願平 4 - 1 8 7 0 2

(22) 出願日 平成 4 年 ( 1 9 9 2 ) 2 月 4 日

(71) 出願人 0 0 0 0 0 5 8 2 1

松下電器産業株式会社

大阪府門真市大字門真 1 0 0 6 番地

(72) 発明者 吉羽 治峰

神奈川県横浜市港北区綱島東四丁目 3 番 1

号 松下通信工業株式会社内

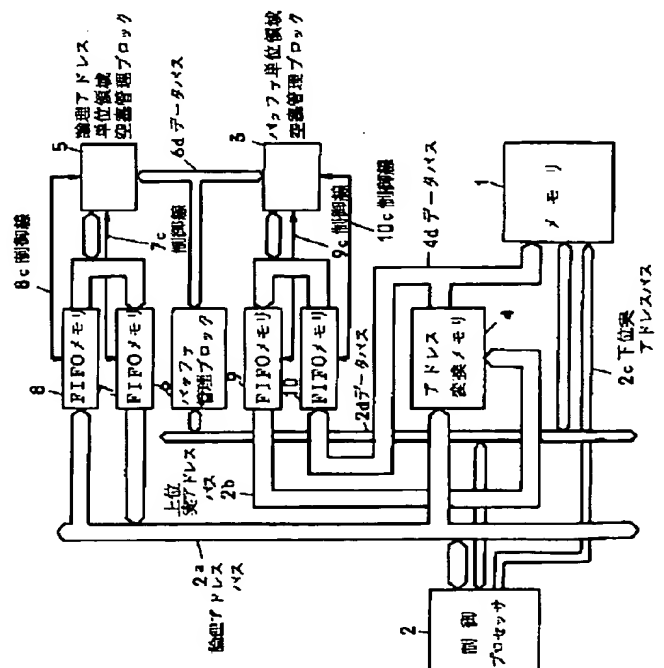
(74) 代理人 弁理士 小鍛治 明 (外 2 名)

(54) 【発明の名称】 メモリ管理装置

(57) 【要約】

【目的】 制御プロセッサの制御動作に応じて、固定長単位領域に分割されたメモリを不連続的に必要個数用いて任意長のバッファを構成できるようにメモリのアドレス空間の使用状況を管理する。

【構成】 制御プロセッサ 2 がメモリ 1 のバッファ領域に制御情報を書き込み制御動作を行う場合に必要バッファ単位領域数をバッファ管理ブロック 6 に指定すれば、バッファ管理ブロック 6 は論理アドレス単位領域空塞管理ブロック 5 を制御して F I F O メモリ 7 から未使用論理アドレス単位領域の先頭アドレスを取り出してアドレス変換メモリ 4 へアドレス情報として送出し、またバッファ管理ブロック 6 はバッファ単位領域空塞管理ブロック 3 を制御して F I F O メモリ 9 から必要数の未使用バッファ単位領域の先頭アドレスを F I F O メモリ 9 から取り出してアドレス変換メモリ 4 へメモリ・データとして送出する。



1

2

## 【特許請求の範囲】

【請求項 1】 制御プロセッサがメモリ内のバッファ領域に情報の読み書きを行うことによって各種の制御動作を行う制御装置のメモリ管理装置であって、

下位アドレスで指定される一定のメモリアドレス範囲のメモリ領域であって、かつ上位アドレスによって各メモリ領域が区別されるバッファ単位領域に分割されたメモリと、

上記制御プロセッサからその制御動作内容に対応した論理アドレスが設定されると、その論理アドレスのメモリ領域に上記バッファ単位領域の中からその未使用バッファ単位領域の上位アドレスをメモリ・データとして保持するアドレス情報保持手段とを備え、

上記制御プロセッサはその制御動作において上記メモリ内の未使用バッファ領域にアクセスする場合、制御プロセッサが出力する論理アドレスを上記アドレス情報保持手段へアドレス情報として入力してそのアドレスのメモリ・データ出力を上記メモリ内の未使用バッファ領域の上位アドレスとすることを特徴とするメモリ管理装置。

【請求項 2】 上記メモリのバッファ領域の使用状態を監視し未使用バッファ単位領域を巡回的に検索してその先頭アドレスを検索順に先入れ記憶し先出し読出しする第 1 の管理手段と、

一定数の連続した複数の論理アドレスにより指定されるメモリ領域である論理アドレスグループ単位領域によって上記アドレス情報保持手段を複数の領域に区分し、上記論理アドレスグループ単位領域の各々の使用状態を監視し未使用論理アドレスグループ単位領域を巡回的に検索してその先頭論理アドレスを検索順に先入れ記憶し先出し読出しする第 2 の管理手段と、上記制御プロセッサがその制御動作においてバッファ領域取得要求して上記メモリから必要な数の未使用バッファ単位領域を使用する場合、第 2 の管理手段により記憶されている論理アドレスを先頭論理アドレスとするアドレス情報保持手段メモリの論理アドレスグループ単位領域を選択し、次に第 1 の管理手段に記憶されている未使用バッファ単位領域の先頭アドレスを指定する上位アドレスを先入れ順に必要な数取り出して上記未使用論理アドレスグループ単位領域にメモリ・データとして格納する第 3 の管理手段とを設けたことを特徴とする請求項 1 記載のメモリ管理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、通信制御装置をはじめとして、制御プロセッサがメモリ上のバッファ領域に制御情報を書き込みまた読み出すことにより各種制御動作を行う制御装置に用いられるメモリ管理装置に関する。

## 【0002】

【従来の技術】図 3 は従来のメモリ管理装置のブロック構成を示している。図 3 において 21 はメモリであり、

メモリ 21 内のバッファ領域はこの装置において扱われる最大長の情報単位に合わせて、あらかじめ定められた固定長を単位として論理上複数の領域に分割されている。22 は制御プロセッサであり、この制御プロセッサ 22 はメモリ 21 に設けられたバッファ領域への情報の読み書きを行い、各種の制御動作を実現する。23 はバッファ管理手段としてのバッファ管理ブロックであり、メモリ 21 内の複数のバッファ領域の個々について空き状態を管理し、プロセッサ 22 に通知する。24、25 は先入れ先出しメモリ (First in First out; 以下、FIFOメモリと記す) であり、それぞれバッファ管理ブロック 23 から制御プロセッサ 22 に通知される空きバッファ情報と、制御プロセッサ 22 からバッファ管理ブロック 23 に通知される解放バッファ情報を保持し、読出しの際は書込順序に従って出力する。26a はアドレスバス、26d はデータバスである。

【0003】つぎに上記従来例の動作について説明する。バッファ管理ブロック 23 は、制御メモリ 21 内の複数のバッファ領域のそれぞれについて、そのバッファがプロセッサ 22 によってバッファとして使用されているか否かの空き状態を保持管理し、未使用 (空き状態) のバッファについては、そのバッファの先頭アドレス値を FIFOメモリ 24 内に格納する。制御プロセッサ 22 は制御動作のためにバッファを新たに使用する際には、FIFOメモリ 24 の先頭からアドレス情報を読み出し、メモリ 21 内の上記アドレスを先頭とするあらかじめ定められた固定長のアドレス領域をバッファとして使用する。この際 FIFOメモリ 24 からのアドレス読み出しと同時に、バッファ管理ブロック 23 は上記バッファ領域を使用中 (空き状態でない) として管理する。制御プロセッサ 22 が上記手順により取得したバッファ領域の使用を終了し解放する場合には、上記使用終了のバッファ領域の先頭アドレスを、アドレス情報として FIFOメモリ 25 に書き込む。これにともない、バッファ管理ブロックは上記アドレスを先頭とするバッファ領域の状態を未使用 (空き状態) として保持し、同時に同バッファの先頭アドレスを再び空バッファとして FIFOメモリ 24 に書き込む。同様の動作を繰り返すことにより、制御プロセッサ 22 は常に FIFOメモリ 24 から未使用バッファの先頭アドレス値を取り出すことによって、バッファとして使用可能な領域を、繰り返し通知され使用することが出来る。

## 【0004】

【発明が解決しようとする課題】しかしながら、上記従来のメモリ管理装置では、上記メモリ 1 内の個々のバッファ領域がメモリ上の連続した固定長の実アドレス空間として管理されているために、すべてのバッファ領域が同じ大きさすなわち同一の情報記憶容量である必要があった。

【 0 0 0 5 】 従って、個々のバッファ領域の大きさは制御プロセッサが行う制御内容において予想される最大長の制御情報に合わせて固定的に設定され、各バッファ領域の先頭のごく一部しか用いないような短い制御情報の保持に際しても、最大長の制御情報と同じ領域を確保することとなり、メモリ領域を効率的に利用出来ないという問題があった。

【 0 0 0 6 】 本発明はこのような従来の問題を解決するものであり、メモリを利用する制御プロセッサ側から見てメモリ上のバッファアドレスの連続性を損なうことなく、可変長のバッファ領域管理を可能とする優れたメモリ管理装置を提供することを目的とするものである。

【 0 0 0 7 】

【課題を解決するための手段】 本発明は上記目的を達成するために、制御プロセッサがメモリ内のバッファ領域に情報の読み書きを行うことによって各種の制御動作を行う制御装置のメモリ管理装置であって、下位アドレスで指定される一定のメモリアドレス範囲のメモリ領域であって、かつ上位アドレスによって各メモリ領域が区別されるバッファ単位領域に分割されたメモリと、上記制御プロセッサからその制御動作内容に対応した論理アドレスが設定されると、その論理アドレスのメモリ領域に上記バッファ単位領域の中からその未使用バッファ単位領域の上位アドレスをメモリ・データとして保持するアドレス情報保持手段とを備え、上記制御プロセッサはその制御動作において上記メモリ内の未使用バッファ領域にアクセスする場合、制御プロセッサが出力する論理アドレスを上記アドレス情報保持手段へアドレス情報として入力してそのアドレスのメモリ・データ出力を上記メモリ内の未使用バッファ領域の上位アドレスとするように構成するものである。

【 0 0 0 8 】 また、上記メモリのバッファ領域の使用状態を監視し未使用バッファ単位領域を巡回的に検索してその先頭アドレスを検索順に先入れ記憶し先出し読出する第 1 の管理手段と、一定数の連続した複数の論理アドレスにより指定されるメモリ領域である論理アドレスグループ単位領域によって上記アドレス情報保持手段を複数の領域に区分し、上記論理アドレスグループ単位領域の各々の使用状態を監視し未使用論理アドレスグループ単位領域を巡回的に検索してその先頭論理アドレスを検索順に先入れ記憶し先出し読出する第 2 の管理手段と、上記制御プロセッサがその制御動作においてバッファ領域取得要求して上記メモリから必要な数の未使用バッファ単位領域を使用する場合、第 2 の管理手段により記憶されている論理アドレスを先頭論理アドレスとするアドレス情報保持手段メモリの論理アドレスグループ単位領域を選択し、次に第 1 の管理手段に記憶されている未使用バッファ単位領域の先頭アドレスを指定する上位アドレスを先入れ順に必要な数取り出して上記未使用論理アドレスグループ単位領域にメモリ・データとして格納

する第 3 の管理手段とを設けることを特徴とするものである。

【 0 0 0 9 】

【作用】 本発明は上記のような構成により、制御プロセッサが各種の制御動作を行うためにメモリ上の複数の未使用バッファ単位領域にアクセスする場合、その未使用バッファ単位領域がメモリ上においては必ずしも連続していなくても、制御プロセッサから見て連続した論理的地址にアクセスするようにすることができる。しかも、必要に応じて任意長のバッファ領域をメモリ上に確保できる。

【 0 0 1 0 】

【実施例】 図 1 は本発明の一実施例におけるメモリ管理装置の構成を示すものである。図 1 において、1 はメモリであり、メモリ内は予め決められたビット長を情報記憶容量の単位（例えば、1 バイト）として分割されている。全メモリ空間を記述する実アドレス情報の下位実アドレスによって指定される一定のメモリアドレス範囲のメモリ領域を一つのバッファ単位領域と称することにする。

【 0 0 1 1 】 従って、メモリ内のバッファ領域は複数のバッファ単位領域に分割され、これら複数のバッファ単位領域は上位実アドレスによって区別される。

【 0 0 1 2 】 2 は制御プロセッサであり、この制御プロセッサ 2 はメモリ 1 に設けられたバッファ領域への情報の読み書きを行うことにより、各種の制御動作を実施する。2 a は制御プロセッサ 2 がその制御動作において使用する論理アドレスを入力する論理アドレスバスである。2 b は上位実アドレスバス、2 c は下位実アドレスバス、2 d はデータバスである。3 はバッファ単位領域空塞管理ブロックであり、制御プロセッサ 2 からのバッファ取得要求コマンドによりメモリ 1 内の各バッファ単位領域のそれぞれについて、バッファとして使用中か否かに関する情報を管理する。4 はアドレス変換メモリであり、これは制御プロセッサ 2 が行う各種制御動作において取り扱われる処理情報量のうち、最大処理情報量のバイト数を、上記バッファ単位領域のバイト数で割った商として得られる数のアドレス数（例えば、m とする）のメモリ領域範囲を 1 単位として、複数の領域に分割されている。以下このアドレス変換メモリ 4 内の複数のメモリ領域の一つ一つを論理アドレス単位領域と称する。

【 0 0 1 3 】 すなわち、上記論理アドレス単位領域には最大数のバッファ単位領域が含まれており、これらの各バッファ単位領域は制御プロセッサ 2 からの論理アドレスによって指定される。

【 0 0 1 4 】 一つの論理アドレス単位領域には、上記アドレス数（上記の m）に相当する複数個のバッファ単位領域を指定する上位実アドレスが格納されているものとする。この上位実アドレスは、アドレス変換メモリ 4 の出力データとしてデータバス 4 d を介してメモリ 1 のバ

ッファ単位領域を指定するアドレス入力の上位実アドレスとなる。5は論理アドレス単位領域空塞管理ブロックであり、制御プロセッサ2からのバッファ取得要求コマンドによりアドレス変換メモリ4内の各論理アドレス単位領域のそれぞれについて、バッファとして使用中か否かに関する情報を管理する。6はバッファ管理ブロックであり、データバス6dを介してバッファ単位領域空塞管理ブロック3、論理アドレス単位領域空塞管理ブロック5に接続され、制御プロセッサ2およびアドレス変換メモリ4とはデータバス2dで接続されている。7、8はFIFOメモリであり、FIFOメモリ7は未使用論理アドレス単位領域の先頭アドレスを、またFIFOメモリ8は使用済論理アドレス単位領域の先頭アドレスをそれぞれ論理アドレス単位領域空塞管理ブロック5の制御により先入れして保持し、読出時は書込順序に従って先出し出力する。7c、8cはそれぞれ論理アドレス単位領域空塞管理ブロック5からFIFOメモリ7およびFIFOメモリ8への制御線である。9、10もFIFOメモリであり、FIFOメモリ9は未使用バッファ単位領域の先頭アドレスの上位実アドレスを、またFIFOメモリ10は使用済論理バッファ単位領域の先頭アドレスの上位実アドレスをそれぞれバッファ単位領域空塞管理ブロック3の制御により先入れして保持し、読出しの際は書込順に従って先出し出力する。9c、10cはそれぞれバッファ単位領域空塞管理ブロック3からFIFOメモリ9およびFIFOメモリ10への制御線である。

【0015】次に、上記実施例の動作について、図2に示すメモリ1およびアドレス変換メモリ4のメモリ構成図を基に説明する。メモリ1内のバッファ領域は、アドレス情報の下位実アドレス(a)(この場合3ビット)で表されるアドレス範囲を1単位とする複数のバッファ単位領域に分割されている。この場合、1バッファ単位領域内は3ビットで指定される各アドレス毎に1バイト長のメモリ容量を有し、1バッファ単位領域全体では8バイトのメモリ容量を有する。

【0016】上記複数のバッファ単位領域(この場合、8バイトのメモリ容量)の各々は、アドレス情報の上位実アドレス(b)(この場合、4ビット)によってバッファ単位領域(1)、(2)、(3)……に分割されている。

【0017】バッファ単位領域空塞管理ブロック3は、これら全てのバッファ単位領域について、バッファとして使用中か否かを管理しており、バッファ管理ブロック6からの指令により、これら未使用のバッファ単位領域の先頭アドレスを巡回的に捜し出して、順にFIFOメモリ9に格納する。図2においては、バッファ単位領域(1)、(2)及び(4)が未使用であり、単位領域(3)及び(5)が使用中である。すなわち、未使用バッファ単位領域の先頭アドレスは、(000000

0)、(0001000)および(0011000)である。

【0018】従って、バッファ単位領域空塞管理ブロック3は上記未使用バッファ単位領域の先頭アドレスの上位実アドレス(0000)、(0001)、(0011)を順にFIFOメモリ9に格納する。

【0019】一方、論理アドレス単位領域空塞管理ブロック5はアドレス変換メモリ4の各論理アドレス単位領域について未使用か使用済かの情報を管理しており、バッファ管理ブロック6からの指令によりアドレス変換メモリ4の未使用論理アドレス単位領域を巡回的に捜し出してその未使用論理アドレス単位領域の先頭アドレスをFIFOメモリ7に検索順に先入れ記憶する。

【0020】図2における論理アドレス単位領域V1の先頭アドレス(AB00)、次に論理アドレス単位領域Vnの先頭アドレス(特に、具体的に記入せず)がFIFOメモリ7に先入れ記憶されている。

【0021】制御プロセッサ2はその制御動作に際して新たなバッファ領域の取得を必要とする時には、バッファ管理ブロック6に対してデータバス2dを介してバッファ取得要求コマンドを送出する。

【0022】この時、必要とするバッファ領域のバイト数をその都度指定する。図2の場合は、必要なバッファ領域のメモリ容量を24バイト(すなわち、バッファ単位領域3個分)である。

【0023】バッファ管理ブロック6は上記バッファ取得要求コマンドを受けると、論理アドレス単位領域空塞管理ブロック5を制御してFIFOメモリ7から未使用論理アドレス単位領域V1の先頭アドレス(図2において、AB00)を取り出し論理アドレスバス2aへ送出する。

【0024】次に、バッファ管理ブロック6はデータバス2dを介して論理アドレス設定済コマンドを制御プロセッサ2へ送出すると、制御プロセッサ2は論理アドレスバス2aから未使用論理アドレス単位領域V1の先頭アドレス(図2において、AB00)を取り込むことにより、上記先頭アドレスの論理アドレス単位領域V1が未使用論理アドレス単位領域であることを検知して、上記論理アドレス単位領域V1の先頭アドレス(AB00)を論理アドレスバス2aを介してアドレス変換メモリ4に対してアドレス情報として送出する。

【0025】次に、制御プロセッサ2は上記論理アドレスを送出した後にバッファ管理ブロック6へバッファ単位領域読出しコマンドを送出する。バッファ管理ブロック6は上記バッファ単位領域読出しコマンドを受けるとバッファ単位領域空塞管理ブロック3に指令してFIFOメモリ9から未使用バッファ単位領域の上位実アドレスを取り出し、上位実アドレスバス2bへ送出し、アドレス変換メモリ4への書き込みデータとする。続いて、制御プロセッサ2はアドレス変換メモリ4へ未使用バッ

ファ書き込みコマンドを送出する。

【 0 0 2 6 】 その結果、アドレス変換メモリ 4 の論理アドレス単位領域 V 1 の先頭アドレス ( A B 0 0 ) に上位実アドレスバス 2 b を介して F I F O メモリ 9 から未使用バッファ単位領域の先頭アドレスの上位実アドレス ( 下位 3 桁を除いた残り上位 4 ビット )、すなわちアドレス ( 0 0 0 0 ) が書き込まれることになる。

【 0 0 2 7 】 以下、制御プロセッサ 2 は論理アドレス単位領域 V 1 の先頭アドレス ( A B 0 0 ) に連続する論理アドレス ( A B 0 1 )、( A B 1 0 ) の各々に対しても論理アドレスバス 2 a を介してアドレス変換メモリ 4 にアドレス情報として送出し、そのメモリデータとして F I F O メモリ 9 から未使用バッファ単位領域の上位実アドレス ( 0 0 0 1 )、( 0 0 1 1 ) を順次アドレス変換メモリ 4 に書き込む。このようにして図 2 に示すようにアドレス変換メモリ 4 において連続する必要バッファ単位領域数 ( この例では、3 個分 ) の論理アドレス ( A B 0 0 )、( A B 0 1 )、( A B 1 0 ) に未使用バッファ単位領域の先頭アドレスの上位実アドレス ( 0 0 0 0 )、( 0 0 0 1 )、( 0 0 1 1 ) が書き込まれる。

【 0 0 2 8 】 さらに、アドレス変換メモリ 4 の上記論理アドレス単位領域の残りの領域には“ 空 ” を示す情報を書き込む。

【 0 0 2 9 】 以上の動作の後に、制御プロセッサ 2 はアドレス変換メモリ 4 に対して、データバス 2 d を介して実アドレス呼出しコマンドを与えると、論理アドレス単位領域の論理アドレス ( A B 0 0 ) に対してそのメモリデータとして上位実アドレス ( 0 0 0 0 ) がアドレス変換メモリ 4 よりデータバス 4 d に出力されメモリ 1 の上位実アドレス ( 4 ビット ) として与えられる。

【 0 0 3 0 】 この時、制御プロセッサ 2 は上記上位実アドレス ( b ) である ( 0 0 0 0 ) に対してバッファ単位領域の複数個 ( 図 2 の例では、8 アドレス分 ) の下位実アドレス ( a ) を下位実アドレスバス 2 c を介して順次メモリ 1 に与える毎に、データバス 2 d を介してその制御動作に必要な制御情報を順次書き込む。

【 0 0 3 1 】 このようにして、未使用論理アドレス単位 V 1 の先頭論理アドレス ( A B 0 0 ) に対してメモリ 1 の未使用バッファ単位領域 ( 1 ) の未使用実アドレスが決まりそこに制御情報が書き込まれる。

【 0 0 3 2 】 以下、制御プロセッサ 2 はアドレス変換メモリ 4 の未使用論理アドレス単位領域 V 1 の先頭アドレスに続く論理アドレス ( A B 0 1 )、( A B 1 0 ) を論理アドレスバス 2 a を介してアドレス変換メモリ 4 に対して送出し実アドレス呼出しコマンドを与えると、そのメモリデータとして未使用上位実アドレス ( 0 0 0 1 )、( 0 0 1 1 ) がデータバス 4 d を介してメモリ 1 にアドレス情報として与えられる。

【 0 0 3 3 】 この時、制御プロセッサ 2 は未使用上位実アドレス ( 0 0 0 1 )、( 0 0 1 1 ) の各々が指定され

る毎にバッファ単位領域の 8 アドレス分の下位実アドレス ( a ) を下位実アドレスバス 2 c を介してメモリ 1 に与える毎にその制御動作に必要な制御情報を順次データバス 2 d を介して書き込む。

【 0 0 3 4 】 その結果、制御プロセッサ 2 は制御動作において必要とする未使用バッファ領域を確保する場合にバッファ取得要求コマンドを送出しさらに必要バイト数 ( 図 2 において、2 4 バイト分であって、バッファ単位領域 3 個分 ) を指定すると、先頭アドレスが論理アドレス ( A B 0 0 ) で指定される論理アドレス単位領域 V 1 が決まり、制御プロセッサ 2 から 3 個の連続した未使用論理アドレス ( A B 0 0 )、( A B 0 1 )、( A B 1 0 ) を指定するだけで、メモリ 1 上に上位実アドレス ( 0 0 0 0 )、( 0 0 0 1 )、( 0 0 1 1 ) によって指定される不連続の領域として点在する未使用バッファ単位領域 ( 1 )、( 2 ) および ( 4 ) から構成されるバッファ領域を自動的に確保でき、そこに制御プロセッサ 2 より制御情報を書き込むことができる。

【 0 0 3 5 】 制御プロセッサ 2 は上記バッファ単位領域を使用して制御動作を行った後にそのバッファ単位領域を解放する場合には、制御プロセッサ 2 がデータバス 2 d を介してバッファ使用済コマンドをバッファ管理ブロック 6 へ通知すると、バッファ管理ブロック 6 は論理アドレス単位領域空塞管理ブロック 5 を制御して使用済論理アドレス単位領域の先頭アドレスを論理アドレスバス 2 a を介して F I F O メモリ 8 に先入れ記憶する。F I F O メモリ 8 に格納された使用済論理アドレス単位領域の先頭アドレスは、論理アドレス単位領域空塞管理ブロック 5 の制御により F I F O メモリ 7 の未使用バッファ単位領域の先頭アドレスが 1 アドレスずつ取り出されて空きができる毎に未使用論理アドレス単位領域として F I F O メモリ 7 に書き込まれる。

【 0 0 3 6 】 一方、使用済バッファ単位領域に対しては、制御プロセッサ 2 がデータバス 2 d を介してバッファ使用済コマンドをバッファ管理ブロック 6 へ通知すると、バッファ管理ブロック 6 はバッファ単位領域空塞管理ブロック 3 を制御して使用済バッファ単位領域の先頭アドレスをデータバス 4 d を介して F I F O メモリ 1 0 に先入れ記憶する。

【 0 0 3 7 】 F I F O メモリ 1 0 に格納された使用済バッファ単位領域の先頭アドレスは、バッファ単位領域空塞管理ブロック 3 の制御により F I F O メモリ 9 の未使用バッファ単位領域の先頭アドレスが 1 アドレスずつ取り出されて空きができる毎に未使用バッファ単位領域として F I F O メモリ 9 に書き込まれる。

【 0 0 3 8 】 このようにして、制御プロセッサ 2 がメモリ 1 のバッファ領域を使用して制御を行う場合、メモリの実アドレス空間において分散して存在する未使用バッファ単位領域のアドレスを直接指定しなくても、個々のバッファ単位領域を指定する実空間アドレスの上位実ア

ドレスのビット数と等しい論理アドレスを制御内容ごとに必要数だけ連続して複数指定すると、それらの論理アドレスに対して自動的に実空間上の未使用バッファ単位領域が決まることになる。

【 0 0 3 9 】

【発明の効果】本発明は上記実施例より明らかなように、本発明のメモリ管理装置は制御プロセッサが何か制御を行おうとする場合、制御プロセッサが上記制御内容ごとに必要なバッファ単位領域数を指定すれば、一つの未論理アドレス単位領域が決まりその未論理アドレス単位領域内に必要とするバッファ単位領域数に相当する連続した複数の論理アドレスが決まり、これらの論理アドレスをバッファ単位領域の実空間アドレス値に読み替えてメモリアクセスできるように構成されているので、制御プロセッサの制御内容に応じて可変長のバッファ領域をメモリ上に分散して確保することができ、かつ簡便に管理することができる。

【図面の簡単な説明】

【図 1】本発明の 1 実施例におけるメモリ管理装置の構成ブロック図

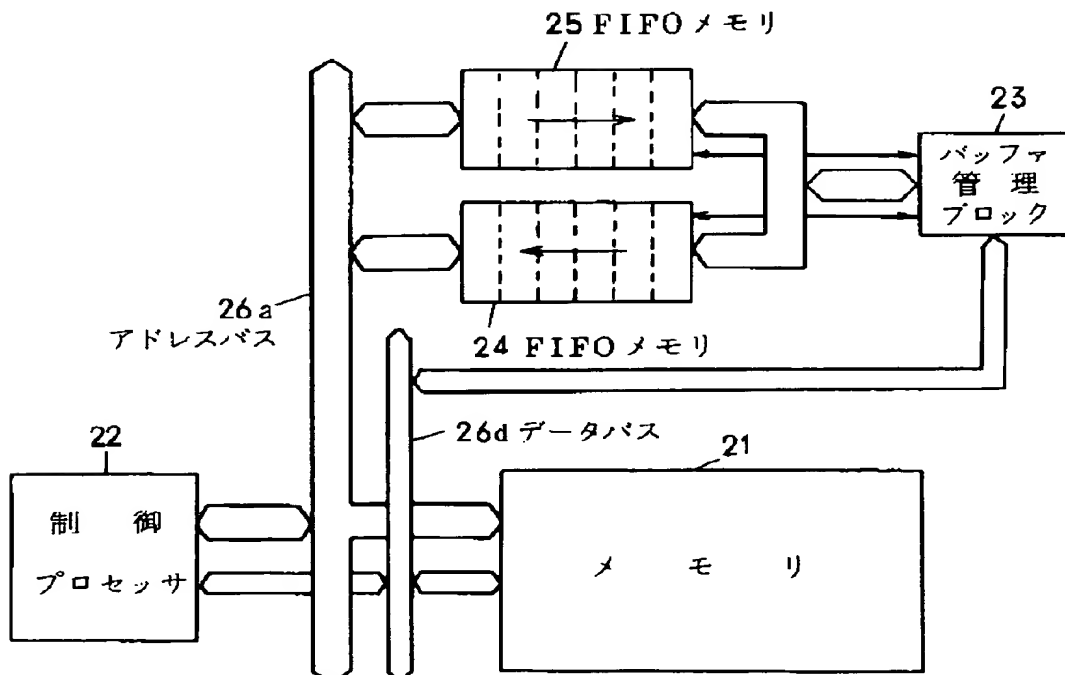
【図 2】図 1 におけるメモリ 1 及びアドレス変換メモリ 4 のメモリ構成図

【図 3】従来のメモリ管理装置の構成ブロック図

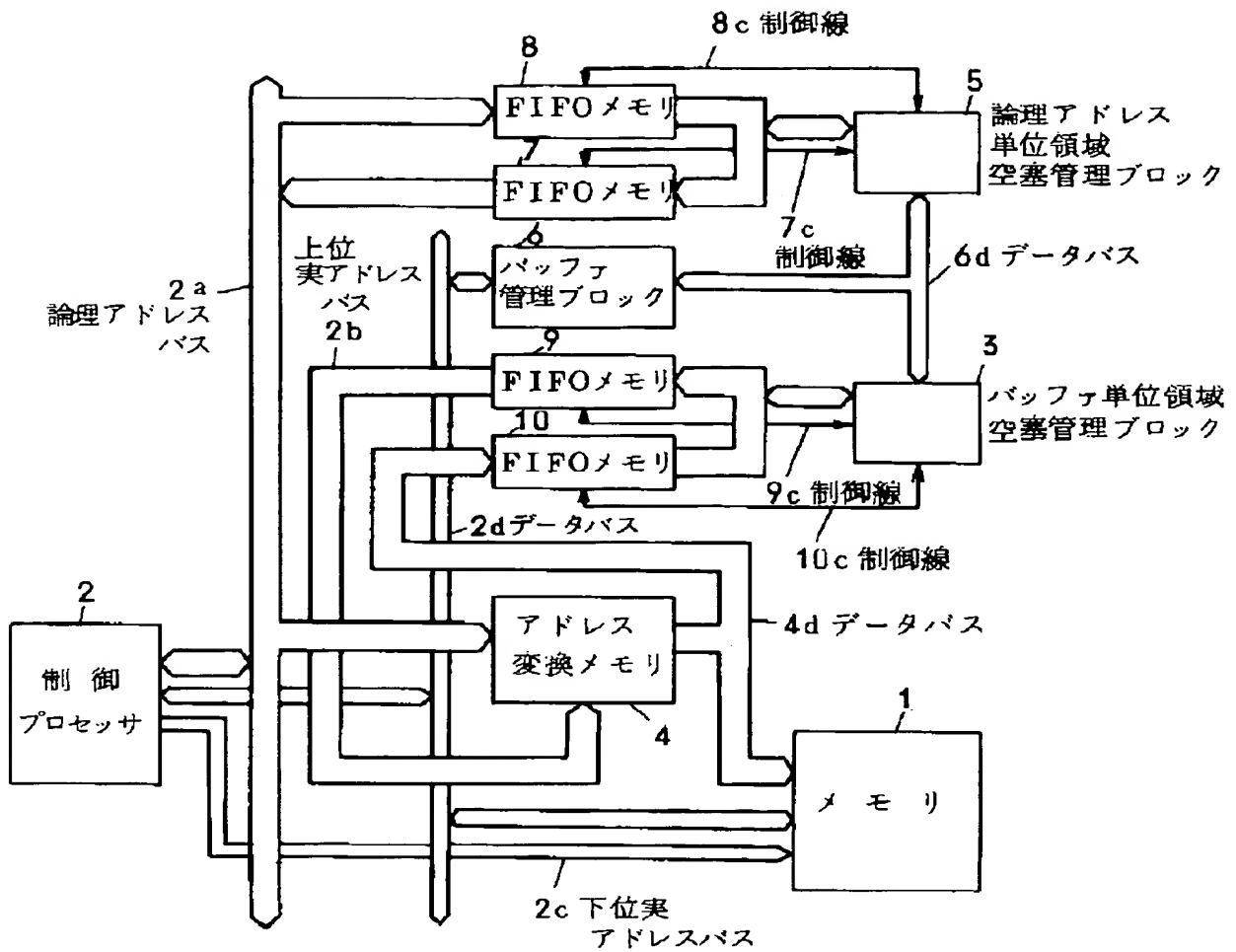
【符号の説明】

- 1   メモリ
- 2   制御プロセッサ
- 2 a   論理アドレスバス
- 2 b   上位実アドレスバス
- 2 c   下位実アドレスバス
- 10 2 d   データバス
- 3   バッファ単位領域空塞管理ブロック（第 1 の管理手段）
- 4   アドレス変換メモリ
- 4 d   データバス
- 5   論理アドレス単位領域空塞管理ブロック（第 2 の管理手段）
- 6   バッファ管理ブロック（第 3 の管理手段）
- 6 d   データバス
- 7, 8, 9, 10   F I F O メモリ
- 20 7 c, 8 c, 9 c, 10 c   制御線

【図 3】



【図 1】





【図 2】

